

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-134277

(43)Date of publication of application : 23.05.1995

(51)Int.Cl.

G02F 1/133
G09G 3/36
H04N 1/04
H04N 3/16

(21)Application number : 05-282243

(71)Applicant : NEC CORP

(22)Date of filing : 11.11.1993

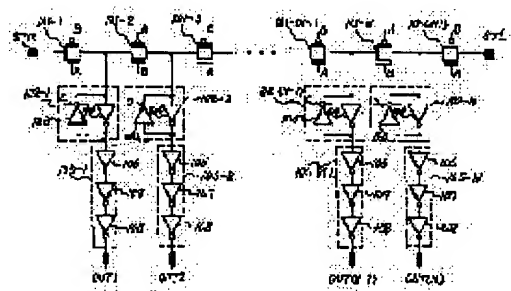
(72)Inventor : ASADA HIDEKI

(54) SCANNING CIRCUIT AND ITS DRIVING METHOD

(57)Abstract:

PURPOSE: To speed up the operations and to improve the yield of a bi-directional scanning circuit in the peripheral driving circuits, such as a liquid crystal display, a close contact type image sensor, a liquid crystal shutter and a fluorescence display tube.

CONSTITUTION: The scanning circuit which outputs scanning pulse signals with the circuit constitution for delay transferring data signals in synchronism with clock signals, is provided with path transistors 101-1 to 101-(N+1) which are connected in cascade, receives data signals from a preceding stage and output signals to a next stage by clock signals A and B, feedback circuits 102-1 to 102-N which individually receive branch outputted signals from the path transistors by clock signals C and D, compensate for signal level reduction and output them and output buffer circuits 105-1 to 105-N which individually receive sequentially outputted signals from the feedback circuits and output scanning signals OUT1 to OUT(N) as output signals.



LEGAL STATUS

[Date of request for examination]

29.03.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2646974

[Date of registration] 09.05.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the scanning circuit used as a circumference circuit corresponding to a liquid crystal display, a contact image sensor, a liquid crystal shutter, etc., and its drive method about a scanning circuit and its drive circuit.

[0002]

[Description of the Prior Art] Conventionally, the technology of uniting with these liquid crystal displays, a contact image sensor, a liquid crystal shutter, etc., and manufacturing the thin film drive circuit used as these circumference circuits for the purpose of the miniaturization of a liquid crystal display, a contact image sensor, a liquid crystal shutter, etc., low-cost-izing, high-reliability, etc. is taken. The reason this manufacture method is adopted is based on the concept that the problem of the reliability produced from the limit of that drastic reduction of the number of end-connection children and the number of the external drives IC is attained and a large area, and the bonding production process of high density is solvable, by installing a circumference drive circuit on the same substrate as pixel electrodes, such as said liquid crystal display, a contact image sensor, and a liquid crystal shutter.

[0003] Usually, although the scanning circuit used as circumference circuits, such as a liquid crystal display, a contact image sensor, and a liquid crystal shutter, is constituted by the shift register and the output buffer, this scanning circuit serves as an important component which forms the above-mentioned thin film drive circuit as a vertical-drive circuit as a circuit which scans the sample & hold switch in a level drive circuit for example, in the active-matrix liquid crystal display.

[0004] In recent years, in the liquid crystal projector to which spread is progressing as a big screen projection mold display, it is necessary to carry out mirroring of the image concerned about one panel in the liquid crystal light valve of three sheets corresponding to the three primary colors of red, green, and blue from the difference in the count of reflection / refraction of the light which passed the liquid crystal light valve. There is a method of reversing the scanning direction of a vertical-scanning circuit, rotating a liquid crystal light valve 180 degrees as a method of performing this mirroring, and reversing the scanning direction of a horizontal scanning circuit. For that, the bidirectional scanning circuit in which the right-and-left transfer change of data is possible is needed.

[0005] Drawing 4 is drawing showing the configuration of the conventional bidirectional scanning circuit. As shown in drawing 4, the conventional

bidirectional scanning circuit It corresponds to the input terminal STL into which the input terminal STR into which a right shift start pulse is inputted, and a left shift start pulse are inputted. The selection circuitry 401-1, 401-2, 401-3 of N individual,, 401-N (N is a positive integer), The shift register 405-1, 405-2, 405-3 of the HABITTO configuration of N individual which has the function to carry out the delay transfer of the pulse signal respectively corresponding to the selection circuitry of these N individuals,, 405-N, These shift registers 405-1, 405-2, 405-3,, The output of 405-N, respectively OUT1, OUT2, and OUT3, and OUT (N) The output-buffer circuit 406-1, 406-2, 406-3, which output by carrying out, It has 406-N and is constituted. The above-mentioned selection circuitry 401-1, 401-2, 401-3,, 401-N It is constituted by AND circuits 402 and 403 and OR circuit 404, respectively, and the output-buffer circuit 406-1, 406-2, 406-3,, 406-N are constituted by inverters 407 and 408, respectively. [0006] Moreover, drawing 5 (a), (b), (c), (d), (e), (f), (g), (h), (i), and (j), Drawing 6 (a), (b), (c), (d), (e), (f), (g), (h), (i), and (j) It is the timing chart showing an actuating signal the case (right shift) where a pulse signal is transmitted rightward from left-hand side as *****, respectively, and in case a pulse signal is transmitted leftward from right-hand side as ***** (left shift). Hereafter, actuation of this conventional example is explained with reference to drawing 4, drawing 5, and drawing 6.

[0007] In drawing 4, when it is the right shift by which a pulse signal is transmitted rightward from the left, another input terminal STL is set as an open condition. From an input terminal STR, a right shift start pulse is inputted and it is inputted into AND circuit 403 contained in a selection circuitry 401-1. Moreover, the input signal A inputted into another input edge of AND circuit 401-1 is set up high-level, and the input signal B over one input edge of AND circuit 402 is set as a low level. AND circuit 403 into which the high-level input signal A is inputted is chosen by input-level setup to such AND circuit 402 and AND circuit 403. This is the same also about a selection circuitry 401-2, 401-3,, AND circuit 403 contained in 401-N, it is chosen in response to the respectively high-level input signal A, and, thereby, the scanning circuit of a right shift is formed.

[0008] Although the right start pulse inputted from an STR terminal is inputted into a shift register 405-1 through AND circuit 403 and OR circuit 404 this shift register 405-1 -- clock signal phi 1 and phi 2 (reversal clock signal of phi 1) inputs -- having -- **** -- this clock signal phi 1 And phi 2 The timing of the signal outputted from the shift register 405-1 concerned is controlled, the output-buffer circuit 406-1 is minded, and a scan pulse signal is an output signal OUT1. It is outputted by carrying out. The signal outputted from this shift register 405-1 is inputted into AND circuit 403 contained in the selection circuitry 401-2 of the next step, and is inputted into a shift register 405-2 through AND circuit 403 and OR circuit 404 concerned. actuation of a shift register 405-2 -- actuation of the above-mentioned shift register 405-1 -- completely -- the same -- clock signal phi 1 And phi 2 the timing of the signal outputted from the shift register 405-2 concerned controls -- having -- the output-buffer circuit 406-2 -- minding -- a scan pulse signal -- output signal OUT2 ***** -- it is outputted. This scan pulse signal is inputted also into AND circuit 403 contained in coincidence at the selection circuitry 401-3 of the next step. the following -- the same -- carrying out -- the scan pulse signal from output-buffer circuit 406- (N-1) of eye watch (N-1) -- output signal OUT (N-1) ***** -- it outputs -- having -- moreover, the scan pulse signal

from Nth output-buffer circuit 406-N -- output signal OUT (N) ***** -- it is outputted. Thus, output signals OUT1 and OUT2,, OUT (N-1) and OUT (N) In order, the scan pulse signal shifted serially is outputted (see drawing 5 (a), (b), (c), (d), (e), (f), (g), (h), (i), and the (j)).

[0009] Moreover, when it is the left shift by whom a pulse signal is transmitted leftward from the right, an input terminal STR is set as an open condition. From an input terminal STL, a left shift start pulse is inputted and it is inputted into AND circuit 402 contained in selection-circuitry 401-N. Moreover, the input signal B inputted into another input edge of AND circuit 402 is set up high-level, and the input signal A inputted into one input edge of AND circuit 403 is set as a low level. AND circuit 402 into which the high-level input signal B is inputted by this is chosen. This is the same also about a selection circuitry 401-1, 401-2, 401-3,, AND circuits 402 and 403 contained in 401- (N-1), AND circuit 402 is chosen in response to the high-level input signal B, respectively, and, thereby, a left shift's scanning circuit is formed.

[0010] The start pulse signal inputted from an STL terminal is inputted into shift register 405-N through AND circuit 402 and OR circuit 404 which are contained in selection-circuitry 401-N. shift register 405-N -- clock signal phi 1 and phi 2 (reversal clock signal of phi 1) inputs -- having -- **** -- this clock signal phi 1 and the timing of the signal outputted from the shift register 405-N concerned controls by phi 2 -- having -- output-buffer circuit 406-N -- minding -- a scan pulse signal -- output signal OUT (N) ***** -- it is outputted. The signal outputted from this shift register 405-N is inputted into AND circuit 402 contained in selection-circuitry 401- (N-1) of the next step, and is inputted into shift register 405- (N-1) through AND circuit 402 and OR circuit 404 concerned. actuation of shift register 405- (N-1) -- actuation of above-mentioned shift register 405-N -- completely -- the same -- clock signal phi 1 And phi 2 the timing of the signal outputted from the shift register 405- (N-1) concerned controls -- having -- output-buffer circuit 406- (N-1) -- minding -- a scan pulse signal -- output signal OUT (N-1) ***** -- it is outputted. From the output-buffer circuit 406-3, a scan pulse signal is an output signal OUT3 like the following. It is outputted by carrying out and a scan pulse signal is an output signal OUT2, respectively from the output-buffer circuit 406-2 and 406-1. And OUT1 It is outputted by carrying out. Thus, output signal OUT (N) OUT (N-1),, OUT3, and OUT2 And OUT1 In order, the scan pulse signal shifted serially is outputted (see drawing 6 (a), (b), (c), (d), (e), (f), (g), (h), (i), and the (j)).

[0011]

[Problem(s) to be Solved by the Invention] In the conventional bidirectional scanning circuit mentioned above, since it is necessary to prepare a selection circuitry and to take about the excessive wiring corresponding to this as shown in drawing 4, it becomes difficult for circuit occupancy area and wiring capacity to increase, and to attain miniaturization and improvement in the speed. For this reason, there is a defect of it becoming impossible to correspond to a liquid crystal display, a contact type image sensor, etc. of a high speed and high resolution.

[0012] Moreover, since circuit occupancy area increases, the yield of a scanning circuit falls, and if at least one defect exists in an intermediate stage, when a scan signal will be normally transmitted to the circuit after the stage, it becomes impossible to ** in the case of the scanning circuit which carried out series connection of the shift register, and appears as a plane defect in two-dimensional

image devices, such as a liquid crystal display. Since it generates when a defect does not exist in the pixel array section, this has the defect of becoming the factor in which the defect of a scanning circuit itself reduces the yield of the device itself.

[0013] This invention solves the above-mentioned defect and aims at offering the bidirectional scanning circuit and its bidirectional drive method of a high speed and the high yield.

[0014]

[Means for Solving the Problem] A scanning circuit of this invention by circuitry which a data signal is synchronized with a predetermined clock signal, and carries out a delay transfer serially. In a scanning circuit which generates and outputs a scan pulse signal, a data signal outputted from the preceding paragraph is made into an input signal. A pass transistor of plurality which is controlled by two clock signals which have a reversal relation one clock signal or mutual, and makes an input signal over the next step an output signal by which cascade connection was carried out. From said two or more pass transistors, a signal by which a branching output is carried out serially, respectively is inputted according to an individual. Two or more feedback circuits which compensate and output a level fall of the signal concerned, It is characterized by having at least two or more output-buffer circuits which input a signal outputted serially according to an individual, respectively, and output it as a scan pulse signal from two or more aforementioned feedback circuits, respectively.

[0015] In addition, in a scanning circuit of said this invention, an output signal of a pass transistor corresponding to the last bit of said data signal may be considered as an input, and one pass transistor controlled by two clock signals which have a reversal relation mutual [said / one clock signal or mutual] may be had and constituted.

[0016] Moreover, while a drive method of a scanning circuit of this invention inputs a clock signal which has a reversal relation mutually, respectively in said scanning circuit to a control terminal of each pass transistor corresponding to a bit which said data signal adjoins. While being characterized by inputting a clock signal which has a reversal relation mutually, respectively also to a control terminal of each feedback circuit corresponding to said adjoining bit. Furthermore, in said scanning circuit, it is characterized by replacing and inputting into a reversal clock signal of the clock signal concerned a clock signal inputted into a control terminal of said feedback circuit.

[0017]

[Example] Next, this invention is explained with reference to a drawing.

[0018] Drawing 1 is drawing showing the configuration of one example of this invention. As shown in drawing 1, this example corresponds to the input terminal STL into which the input terminal STR into which a right shift start pulse is inputted, and a left shift start pulse are inputted. The pass transistor 101-1, 101-2, 101-3 of the individual which carries out the delay transfer of the pulse signal from the preceding paragraph serially with clock signals A and B at the next step (N+1),, It is controlled by 401- (N-1), 401-N, 401- (N+1), and clock signals C and D. The feedback circuit 102-1, 102-2 for preventing the attenuation of the amplitude of a pulse signal by which a delay transfer is carried out serially,, 102- (N-1), and 102-N, These feedback circuits 102-1, 102-2,, 102- (N-1), The output of 102-N, respectively OUT1, OUT2,, OUT (N-1) and OUT (N) The output-

buffer circuit 105-1, 105-2, which output by carrying out, It has 105- (N-1) and 105-N, and is constituted. The above-mentioned feedback circuit 101-1, 101-2,, 101- (N-1), and 101-N It is constituted by the clocked inverter 103 and the inverter 104, respectively, and the output-buffer circuit 105-1, 105-2,, 105- (N-1), and 105-N are constituted by inverters 106, 107, and 108, respectively.

[0019] Moreover, drawing 2 (a), (b), (c), (d), (e), (f), (g), (h), and (i), Drawing 3 (a), (b), (c), (d), (e), (f), (g), (h), and (i) It is the timing chart showing an actuating signal the case (right shift) where a pulse signal is transmitted rightward from left-hand side as *****, respectively, and in case a pulse signal is transmitted leftward from right-hand side as ***** (left shift).

[0020] Hereafter, actuation of this example is explained with reference to drawing 1, drawing 2, and drawing 3.

[0021] In drawing 1, when it is the right shift by which a pulse signal is transmitted rightward from the left, another input terminal STL is set as an open condition. From an input terminal STR, a right shift start pulse is inputted and it is inputted into the pass transistor 101-1. here -- setting -- clock signal phi 1 with common clock signals A and D it is -- considering [and] as a thing, clock signals B and C shall be the common clock signals phi 2 (reversal clock signal of phi 1) Thus, by setting up clock signals A, B, C, and D The scanning circuit of a right shift is formed. From the output-buffer circuit 105-1, 105-2,, 105- (N-1), and 105-N They are output signals OUT1 and OUT2,, OUT (N-1) and OUT (N), respectively. In order, the scan pulse signal shifted serially is outputted (see drawing 2 (a), (b), (c), (d), (e), (f), (g), (h), and the (i)).

[0022] Moreover, when it is the left shift by whom a pulse signal is transmitted leftward from the right, an input terminal STR is set as an open condition. From an input terminal STL, a left shift start pulse is inputted and it is inputted into pass transistor 101- (N+1). In this case, in the case of an above-mentioned right shift, it differs, and clock signals A and C are the common clock signals phi 1. It is set up and clock signals B and D are set as the common clock signal phi 2 (reversal clock signal of phi 1). Thus, by setting up clock signals A, B, C, and D A left shift's scanning circuit is formed. From output-buffer circuit 105-N, 105- (N-1),, 105-2, 105-1 It is an output signal OUT (N), respectively. OUT (N-1),, OUT2, and OUT1 In order, the scan pulse signal shifted serially is outputted (see drawing 3 (a), (b), (c), (d), (e), (f), (g), (h), and the (i)). As mentioned above, in the case of the left shift, clock signals C and D are replaced to the case of a right shift, but exchange actuation of this clock signal may be performed from the interior of the scanning circuit concerned, or you may carry out from the outside again.

[0023] When the pitch of a scanning circuit was designed and manufactured by 30 micrometers by actually accumulating a polycrystalline silicon thin film transistor for 2000 steps of scanning circuits which adopted the scanning circuit of this invention on a glass substrate, it was possible to have stopped and carried out layout design of the occupancy area of the scanning circuit concerned to 1/3 or less as compared with the conventional scanning circuit. In the conventional scanning circuit, although it was impossible to have carried out layout design by circuit pitch 30micrometer since the area of a selection circuitry and a wiring leading-about portion occupied most, the result that the part and yield to which it became possible in this invention, and circuit occupancy area was reduced also improved was obtained. Especially, in this scanning circuit, the portion which carries out the delay transfer of the pulse signal from the preceding paragraph at the next step is

constituted by only the pass transistor, and, thereby, the probability for a pulse signal to be normally transmitted to the last stage at least improved from 50% conventional to 90%. It enables this to reduce remarkably the probability for a plane defect to occur, in two-dimensional image devices, such as a liquid crystal display. Furthermore, the maximum clock frequency of supply voltage 12V was able to improve from conventional 5MHz to 10MHz or more, and was also able to realize high-speed operation.

[0024] In addition, although this example is an example which realized the scanning circuit of this invention by the CMOS static circuit, naturally it is also possible to constitute the scanning circuit of this invention by the NMOS circuit. Moreover, in this example, although the polycrystalline silicon thin film transistor is used, it is also possible to form by other thin film transistors which adopted the amorphous silicon, the cadmium selenium, etc. as the semiconductor layer. Furthermore, it is also possible with a natural thing to constitute by the single-crystal-silicon MOS transistor again.

[0025]

[Effect of the Invention] As explained above, this invention by forming the circuit which carries out the delay transfer of the pulse signal from the preceding paragraph serially at the next step using a pass transistor Become possible to reduce circuit occupancy area to about [conventional] $1/3$, and it corresponds to a high resolution liquid crystal display, a contact image sensor, etc. While being able to perform layout design which raised the circuit pitch and being able to raise the yield remarkably, there is an effect to say that the bidirectional scanning circuit which operates at high speed is realizable.

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-134277

(43)公開日 平成7年(1995)5月23日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0			
G 0 9 G 3/36				
H 0 4 N 1/04				
3/16	E			
		7251-5C	H 0 4 N 1/ 04	D
			審査請求 有	請求項の数4 O L (全 7 頁)

(21)出願番号 特願平5-282243

(22)出願日 平成5年(1993)11月11日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 浅田 秀樹

東京都港区芝五丁目7番1号 日本電気株式会社内

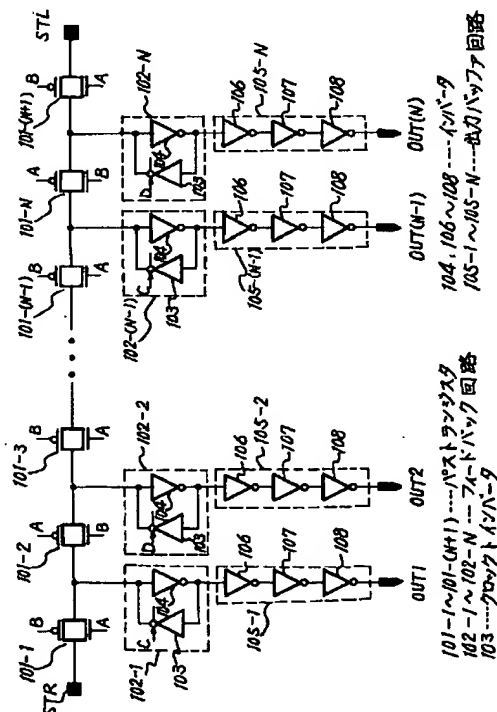
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 走査回路およびその駆動方法

(57)【要約】

【目的】液晶ディスプレイ、密着型イメージセンサ、液晶シャッタおよび蛍光表示管等の周辺駆動回路における双方向走査回路の高速化、歩留りの改善を図る。

【構成】本発明は、データ信号をクロック信号に同期して遅延転送する回路構成により、走査パルス信号を出力する走査回路において、前段からのデータ信号を入力信号とし、クロック信号A、Bにより、次段に対する入力信号を出力信号とする縦続接続されたパストランジスタ101-1~101-(N+1)と、クロック信号C、Dにより、前記パストランジスタから、分岐出力される信号を個別に入力して、当該信号のレベル低下を補償して出力するフィードバック回路102-1~102-Nと、前記のフィードバック回路より逐次出力される信号を、それぞれ個別に入力して、それぞれ走査パルス信号を、OUT₁~OUT(N)として出力する出力バッファ回路105-1~105-Nとを備えて構成される。



【特許請求の範囲】

【請求項 1】 データ信号を所定のクロック信号に同期させて逐次遅延転送する回路構成により、走査パルス信号を生成して出力する走査回路において、前段から出力されるデータ信号を入力信号とし、1 個のクロック信号または相互に反転関係にある 2 個のクロック信号により制御されて、次段に対する入力信号を出力信号とする複数の縦続接続されたパストランジスタと、前記複数のパストランジスタから、それぞれ逐次分岐出力される信号を個別に輸入して、当該信号のレベル低下を補償して出力する複数のフィードバック回路と、前記の複数のフィードバック回路より逐次出力される信号を、それぞれ個別に輸入して、それぞれ走査パルス信号として出力する複数の出力バッファ回路と、を少なくとも備えることを特徴とする走査回路。

【請求項 2】 前記データ信号の最終ビットに対応するパストランジスタの出力信号を入力とし、前記 1 個のクロック信号または相互に反転関係にある 2 個のクロック信号により制御される 1 個のパストランジスタを備えることを特徴とする請求項 1 記載の走査回路。

【請求項 3】 請求項 1 および 2 記載の走査回路において、前記データ信号の隣接するビットに対応する各パストランジスタの制御端子に対して、それぞれ相互に反転関係にあるクロック信号を入力するとともに、前記隣接するビットに対応する各フィードバック回路の制御端子に対しても、それぞれ相互に反転関係にあるクロック信号を入力することを特徴とする走査回路の駆動方法。

【請求項 4】 請求項 1 および 2 記載の走査回路において、前記フィードバック回路の制御端子に輸入するクロック信号を、当該クロック信号の反転クロック信号に置換えて入力することを特徴とする走査回路の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は走査回路およびその駆動回路に関し、特に液晶ディスプレイ、密着イメージセンサおよび液晶シャッタ等に対応する周辺回路として用いられる走査回路およびその駆動方法に関する。

【0002】

【従来の技術】 従来、液晶ディスプレイ、密着イメージセンサおよび液晶シャッタ等の小型化、低コスト化および高信頼性等を目的として、これらの周辺回路として用いられる薄膜駆動回路を、これらの液晶ディスプレイ、密着イメージセンサおよび液晶シャッタ等と一体化して製造する技術が採られている。この製造方法が採られている理由は、前記液晶ディスプレイ、密着イメージセンサおよび液晶シャッタ等の画素電極と同一基板上に周辺駆動回路を設置することにより、接続端子の数および外部駆動 IC の数の大幅な削減が可能になること、また大面積、高密度のボンディング工程の限界から生じる信頼性の問題を解決することができるというコンセプトに

基づいている。

【0003】 通常、液晶ディスプレイ、密着イメージセンサおよび液晶シャッタ等の周辺回路として用いられる走査回路は、シフトレジスタおよび出力バッファにより構成されているが、この走査回路は、例えば、アクティブマトリクス液晶ディスプレイにおいては、垂直駆動回路として、或いは水平駆動回路内のサンプル&ホールドスイッチを走査する回路として、前述の薄膜駆動回路を形成する重要な構成要素となっている。

【0004】 近年、大画面投射型ディスプレイとして普及が進んでいる液晶プロジェクトにおいては、液晶ライトバルブを通過した光の反射・屈折回数の違いから、赤・緑・青の 3 原色に対応する 3 枚の液晶ライトバルブの内の 1 枚のパネルについては、当該画像をミラー反転させる必要がある。このミラー反転を行う方法としては、垂直走査回路の走査方向を反転させるか、または液晶ライトバルブを 180 度回転させ、且つ水平走査回路の走査方向を反転させる方法がある。このためには、データの左右転送切替え可能な双方向走査回路が必要となる。

【0005】 図 4 は、従来の双方向走査回路の構成を示す図である。図 4 に示されるように、従来の双方向走査回路は、右シフトスタートパルスが入力される入力端子 STR および左シフトスタートパルスが入力される入力端子 STL に対応して、N 個の選択回路 401-1、401-2、401-3、……、401-N (N は正整数) と、これらの N 個の選択回路にそれぞれ対応して、パルス信号を遅延転送させる機能を有する、N 個のハービット構成のシフトレジスタ 405-1、405-2、405-3、……、405-N と、これらのシフトレジスタ 405-1、405-2、405-3、……、405-N の出力を、それぞれ OUT₁、OUT₂、OUT₃、……、OUT_(N) として出力する出力バッファ回路 406-1、406-2、406-3、……、406-N とを備えて構成されており、上記の選択回路 401-1、401-2、401-3、……、401-N は、それぞれ AND 回路 402、403 および OR 回路 404 により構成されており、また出力バッファ回路 406-1、406-2、406-3、……、406-N は、それぞれインバータ 407 および 408 により構成されている。

【0006】 また、図 5 (a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)、(i) および (j) と、図 6 (a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)、(i) および (j) は、それぞれ紙面向って左側より右方向にパルス信号が転送される場合 (右シフト) と、紙面向って右側より左方向にパルス信号が転送される場合 (左シフト) における動作信号を示すタイミング図である。以下、図 4、図 5 および図 6 を参照して、本従来例の動作について説明

する。

【0007】図4において、左から右方向にパルス信号が転送される右シフトの場合には、もう一方の入力端子STLは開放状態に設定される。入力端子STRからは右シフトスタートパルスが入力され、選択回路401-1に含まれるAND回路403に入力される。また、AND回路401-1のもう一方の入力端に入力される入力信号Aはハイレベルに設定され、AND回路402の一方の入力端に対する入力信号Bはロウレベルに設定される。このようなAND回路402およびAND回路403に対する入力レベル設定により、ハイレベルの入力信号Aが入力されるAND回路403が選択される。このことは、選択回路401-2、401-3、……、401-Nに含まれるAND回路403についても同様であり、それぞれハイレベルの入力信号Aを受けて選択され、これにより右シフトの走査回路が形成される。

【0008】STR端子より入力される右スタートパルスは、AND回路403およびOR回路404を介してシフトレジスタ405-1に入力されるが、このシフトレジスタ405-1には、クロック信号 ϕ_1 および ϕ_2 （ ϕ_1 の反転クロック信号）が入力されており、このクロック信号 ϕ_1 および ϕ_2 によって、当該シフトレジスタ405-1より出力される信号のタイミングが制御され、出力バッファ回路406-1を介して、走査パルス信号が出力信号OUT₁として出力される。このシフトレジスタ405-1より出力される信号は、次段の選択回路401-2に含まれるAND回路403に入力され、当該AND回路403およびOR回路404を介して、シフトレジスタ405-2に入力される。シフトレジスタ405-2の動作は、上述のシフトレジスタ405-1の動作と全く同様であり、クロック信号 ϕ_1 および ϕ_2 によって、当該シフトレジスタ405-2より出力される信号のタイミングが制御され、出力バッファ回路406-2を介して、走査パルス信号が出力信号OUT₂として出力される。この走査パルス信号は、同時に次段の選択回路401-3に含まれるAND回路403にも入力される。以下同様にして、(N-1)番目の出力バッファ回路406-(N-1)からは、走査パルス信号が出力信号OUT_(N-1)として出力され、またN番目の出力バッファ回路406-Nからは、走査パルス信号が出力信号OUT_(N)として出力される。このようにして、出力信号OUT₁、OUT₂、……、OUT_(N-1)、OUT_(N)の順に、逐次シフトされた走査パルス信号が出力される(図5(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)、(i)および(j)を参照)。

【0009】また、右から左方向にパルス信号が転送される左シフトの場合には、入力端子STRは開放状態に設定される。入力端子STLからは左シフトスタートパ

ルスが入力され、選択回路401-Nに含まれるAND回路402に入力される。また、AND回路402のもう一方の入力端に入力される入力信号Bはハイレベルに設定され、AND回路403の一方の入力端に入力される入力信号Aはロウレベルに設定される。これにより、ハイレベルの入力信号Bが入力されるAND回路402が選択される。このことは、選択回路401-1、401-2、401-3、……、401-(N-1)に含まれるAND回路402および403についても同様であり、それぞれAND回路402がハイレベルの入力信号Bを受けて選択され、これにより左シフトの走査回路が形成される。

【0010】STL端子より入力されるスタートパルス信号は、選択回路401-Nに含まれるAND回路402およびOR回路404を介してシフトレジスタ405-Nに入力される。シフトレジスタ405-Nには、クロック信号 ϕ_1 および ϕ_2 （ ϕ_1 の反転クロック信号）が入力されており、このクロック信号 ϕ_1 および ϕ_2 によって、当該シフトレジスタ405-Nより出力される信号のタイミングが制御され、出力バッファ回路406-Nを介して、走査パルス信号が出力信号OUT_(N)として出力される。このシフトレジスタ405-Nより出力される信号は、次段の選択回路401-(N-1)に含まれるAND回路402に入力され、当該AND回路402およびOR回路404を介して、シフトレジスタ405-(N-1)に入力される。シフトレジスタ405-(N-1)の動作は、上述のシフトレジスタ405-Nの動作と全く同様であり、クロック信号 ϕ_1 および ϕ_2 によって、当該シフトレジスタ405-(N-1)より出力される信号のタイミングが制御され、出力バッファ回路406-(N-1)を介して、走査パルス信号が出力信号OUT_(N-1)として出力される。以下同様にして、出力バッファ回路406-3からは、走査パルス信号が出力信号OUT₃として出力され、出力バッファ回路406-2および406-1からは、それぞれ走査パルス信号が出力信号OUT₂およびOUT₁として出力される。このようにして、出力信号OUT_(N)、OUT_(N-1)、……、OUT₃、OUT₂およびOUT₁の順に、逐次シフトされた走査パルス信号が出力される(図6(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)、(i)および(j)を参照)。

【0011】

【発明が解決しようとする課題】上述した従来の双方向の走査回路においては、図4に示されるように、選択回路を設けて、これに対応する余分な配線を引き回す必要があるため、回路占有面積および配線容量が増大して小型化および高速化を図ることが困難となる。このために、高速・高解像度の液晶ディスプレイおよび密着型イメージセンサ等に対応することができなくなるという欠

10

20

30

40

50

点がある。

【0012】また、回路占有面積が増大するために、走査回路の歩留りが低下し、シフトレジスタを直列接続した走査回路の場合には、途中の段に1個でも欠陥が存在すると、その段以降の回路に対しては走査信号を正常に転送することができなくなり、液晶ディスプレイ等の2次元画像デバイスにおいては面欠陥として現れる。これは、画素アレイ部に欠陥が存在しない場合においても発生するため、走査回路の欠陥自体がデバイス自体の歩留まりを低下させる要因になるという欠点がある。

【0013】本発明は、上記の欠点を解決して、高速、且つ高歩留まりの双方向の走査回路およびその駆動方法を提供することを目的としている。

【0014】

【課題を解決するための手段】本発明の走査回路は、データ信号を所定のクロック信号に同期させて逐次遅延転送する回路構成により、走査パルス信号を生成して出力する走査回路において、前段から出力されるデータ信号を入力信号とし、1個のクロック信号または相互に反転関係にある2個のクロック信号により制御されて、次段に対する入力信号を出力信号とする複数の縦続接続されたパストランジスタと、前記複数のパストランジスタから、それぞれ逐次分岐出力される信号を個別に入力して、当該信号のレベル低下を補償して出力する複数のフィードバック回路と、前記の複数のフィードバック回路より逐次出力される信号を、それぞれ個別に入力して、それぞれ走査パルス信号として出力する複数の出力バッファ回路と、を少なくとも備えることを特徴としている。

【0015】なお、前記本発明の走査回路において、前記データ信号の最終ビットに対応するパストランジスタの出力信号を入力とし、前記1個のクロック信号または相互に反転関係にある2個のクロック信号により制御される1個のパストランジスタを備えて構成してもよい。

【0016】また、本発明の走査回路の駆動方法は、前記走査回路において、前記データ信号の隣接するビットに対応する各パストランジスタの制御端子に対して、それぞれ相互に反転関係にあるクロック信号を入力するとともに、前記隣接するビットに対応する各フィードバック回路の制御端子に対しても、それぞれ相互に反転関係にあるクロック信号を入力することを特徴とするとともに、更に、前記走査回路において、前記フィードバック回路の制御端子に入力するクロック信号を、当該クロック信号の反転クロック信号に置換えて入力することを特徴としている。

【0017】

【実施例】次に、本発明について図面を参照して説明する。

【0018】図1は本発明の一実施例の構成を示す図である。図1に示されるように、本実施例は、右シフトス

タートパルスが入力される入力端子STR、および左シフトスタートパルスが入力される入力端子STLに対応して、前段からのパルス信号を、クロック信号AおよびBにより逐次次段に遅延転送する(N+1)個のパストランジスタ101-1、101-2、101-3、……、401-(N-1)、401-N、401-(N+1)と、クロック信号CおよびDにより制御され、逐次遅延転送されてゆくパルス信号の振幅の減衰を防止するためのフィードバック回路102-1、102-2、……、102-(N-1)、102-Nと、これらのフィードバック回路102-1、102-2、……、102-(N-1)、102-Nの出力を、それぞれOUT₁、OUT₂、……、OUT_(N-1)、OUT_(N)として出力する出力バッファ回路105-1、105-2、……、105-(N-1)、105-Nとを備えて構成されており、上記のフィードバック回路101-1、101-2、……、101-(N-1)、101-Nは、それぞれクロックインバータ103およびインバータ104により構成されており、また出力バッファ回路105-1、105-2、……、105-(N-1)、105-Nは、それぞれインバータ106、107および408により構成されている。

【0019】また、図2(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)および(i)と、図3(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)および(i)は、それぞれ紙面向って左側より右方向にパルス信号が転送される場合(右シフト)と、紙面向って右側より左方向にパルス信号が転送される場合(左シフト)における動作信号を示すタイミング図である。

【0020】以下、図1、図2および図3を参照して、本実施例の動作について説明する。

【0021】図1において、左から右方向にパルス信号が転送される右シフトの場合には、もう一方の入力端子STLは開放状態に設定される。入力端子STRからは右シフトスタートパルスが入力されて、パストランジスタ101-1に入力される。ここにおいて、クロック信号AおよびDは共通のクロック信号φ₁であるものとし、またクロック信号BおよびCは共通のクロック信号φ₂(φ₁の反転クロック信号)であるものとする。このようにクロック信号A、B、CおよびDを設定することにより、右シフトの走査回路が形成され、出力バッファ回路105-1、105-2、……、105-(N-1)、105-Nからは、それぞれ出力信号OUT₁、OUT₂、……、OUT_(N-1)、OUT_(N)の順に、逐次シフトされた走査パルス信号が出力される(図2(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)および(i)を参照)。

【0022】また、右から左方向にパルス信号が転送さ

10

20

30

40

50

れる左シフトの場合には、入力端子STRは開放状態に設定される。入力端子STLからは左シフトスタートパルスが入力されて、パストランジスタ101-(N+1)に入力される。この場合においては、上述の右シフトの場合とは異なり、クロック信号AおよびCは共通のクロック信号 ϕ_1 に設定され、またクロック信号BおよびDは共通のクロック信号 ϕ_2 (ϕ_1 の反転クロック信号)に設定される。このようにクロック信号A、B、CおよびDを設定することにより、左シフトの走査回路が形成され、出力バッファ回路105-N、105-(N-1)、……、105-2、105-1からは、それぞれ出力信号OUT(N)、OUT(N-1)、……、OUT₂、OUT₁の順に、逐次シフトされた走査パルス信号が出力される(図3(a)、(b)、(c)、(d)、(e)、(f)、(g)、(h)および(i)を参照)。上述のように、左シフトの場合には、右シフトの場合に対してクロック信号CとDが入替えられているが、このクロック信号の入替え操作は、当該走査回路の内部から行ってもよく、或はまた外部から行ってもよい。

【0023】本発明の走査回路を採用した2000段の走査回路を、実際に多結晶シリコン薄膜トランジスタをガラス基板上に集積することにより、走査回路のピッチを30 μ mで設計して製造した場合に、当該走査回路の占有面積を、従来の走査回路に比較して1/3以下に抑えてレイアウト設計することが可能であった。従来の走査回路においては、選択回路と配線引き回し部分の面積が大半を占有するために、回路ピッチ30 μ mでレイアウト設計することは不可能であったが、本発明においてはそれが可能となり、且つ回路占有面積が縮小された分、歩留りも向上されるという結果が得られた。特に、本走査回路においては、前段からのパルス信号を次段に遅延転送する部分がパストランジスタのみにより構成されており、これにより、少なくとも最終段までパルス信号が正常に転送される確率が、従来の50%から90%に向上した。これにより、液晶ディスプレイ等の2次元画像デバイスにおいて、面欠陥が生起する確率を著しく低減することが可能となる。更に、供給電圧12Vでの最高クロック周波数が従来の5MHzから10MHz以上に向上され、高速動作をも実現することができた。

【0024】なお、本実施例は、本発明の走査回路をC

MOSスタティック回路により実現した実施例であるが、本発明の走査回路をNMOS回路により構成することも当然可能である。また、本実施例においては、多結晶シリコン薄膜トランジスタを用いているが、半導体層にアモルファスシリコンおよびカドミウムセレン等を採用した他の薄膜トランジスタにより形成することも可能である。更にまた、単結晶シリコンMOSトランジスタにより構成することも当然のことながら可能である。

【0025】

10 【発明の効果】以上説明したように、本発明は、前段からのパルス信号を次段に逐次遅延転送する回路を、パストランジスタを用いて形成することにより、回路占有面積を従来の1/3程度に縮小することが可能となり、高解像度液晶ディスプレイおよび密着イメージセンサ等に対応して、回路ピッチを向上させたレイアウト設計を行うことができ、また歩留りを著しく向上させることができるとともに、高速にて動作する双方向の走査回路を実現することができるという効果がある。

【図面の簡単な説明】

20 【図1】本発明の一実施例を示すブロック図である。

【図2】本実施例の右シフト時における各部信号のタイミング図である。

【図3】本実施例の左シフト時における各部信号のタイミング図である。

【図4】従来例を示すブロック図である。

【図5】従来例の右シフト時における各部信号のタイミング図である。

【図6】従来例の左シフト時における各部信号のタイミング図である。

30 【符号の説明】

101-1~101-(N+1) パストランジスタ

102-1~102-N フィードバック回路

103 クロックトインバータ

104、106~108、407、408 インバータ

105-1~105-N、406-1~406-N

出力バッファ回路

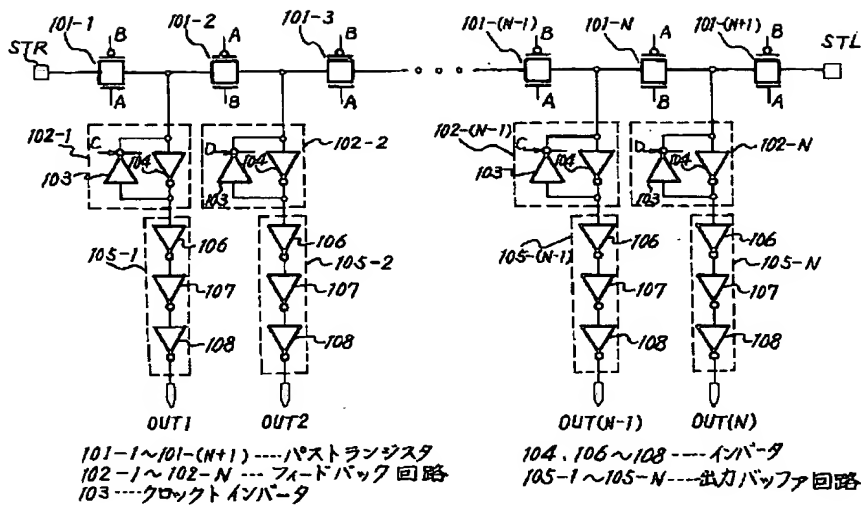
401-1~401-N 選択回路

402、403 AND回路

40 404 OR回路

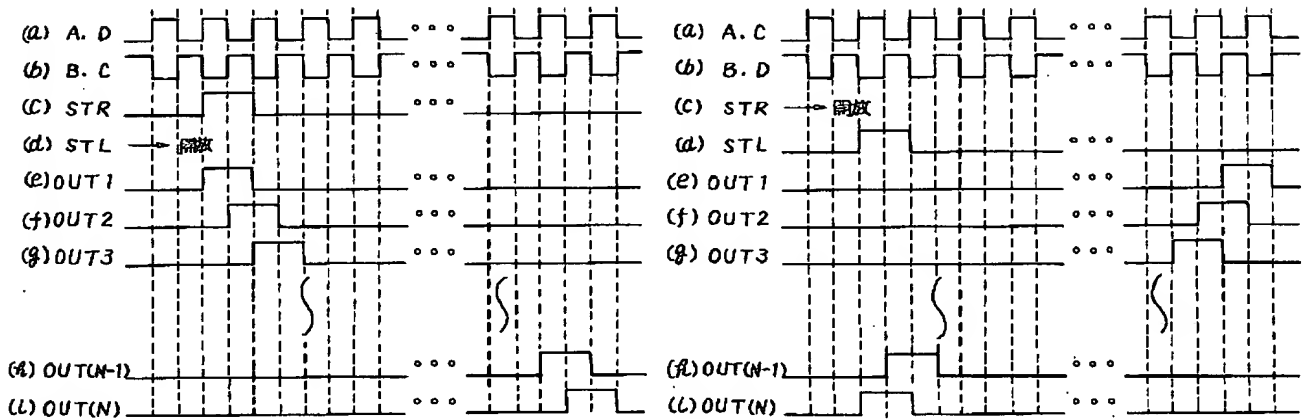
405-1~405-N シフトレジスタ

【図 1】

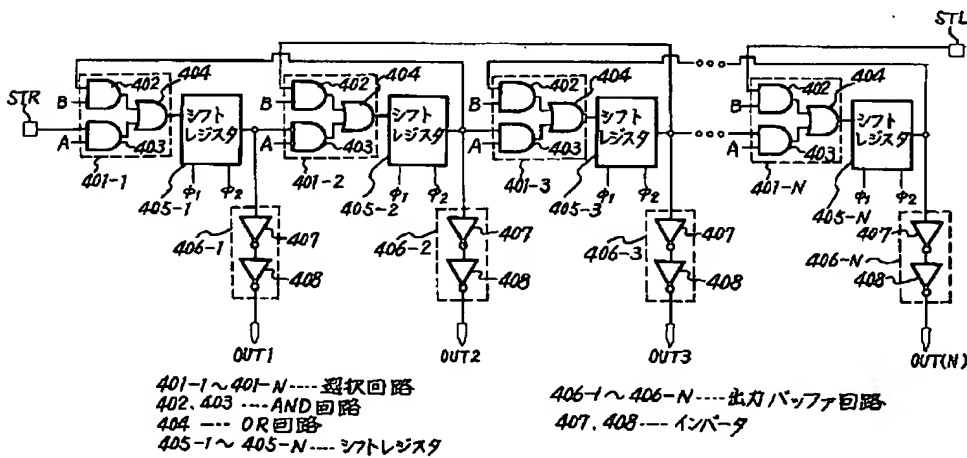


【図 2】

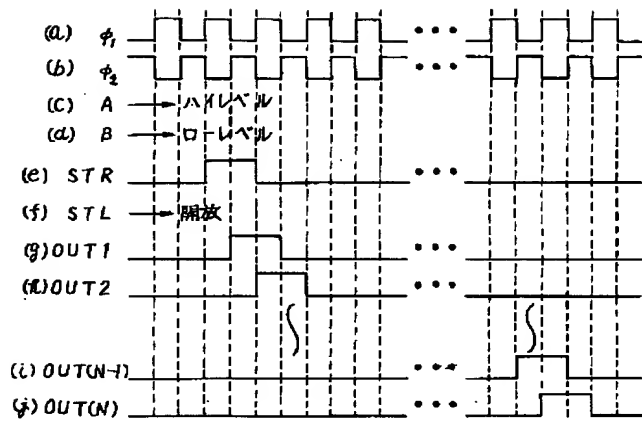
【図 3】



【図 4】



【図5】



【図6】

